

DIFFERENTIAL AMPLIFIER

Patent Number: JP9260971
Publication date: 1997-10-03
Inventor(s): TSUKAGOSHI TAKASHI
Applicant(s): SANYO ELECTRIC CO LTD
Requested Patent: ☐ JP9260971
Application Number: JP19960068384 19960325
Priority Number(s):
IPC Classification: H03F3/45
EC Classification:
Equivalents: JP3349334B2

Abstract

PROBLEM TO BE SOLVED: To widen the dynamic range of an input signal by providing a 2nd constant current source through which a current equal to the base current of a transistor constituting a mirror circuit is allowed to flow, and absorbing this current.

SOLUTION: The emitter area of a transistor constituting a 1st constant current source 11 and a transistor 20 constituting a 2nd current mirror circuit 17 is set twice as that of other transistors. Since a current $2I_o$ twice as large that of a collector current I_o of a 3rd transistor 15 is allowed to flow through the 1st constant current source 11, the collector current of 1st and 2nd transistors 9 and 10 becomes the I_o . When the base current of respective transistors 21 and 22 constituting the 1st current mirror circuit 12 is I_B , a current $I_o + 2I_B$ flows through an input terminal 13. Since the base current of a 4th transistor 16 is also I_B , a current $2I_B$ flows through the transistor 20 of the 2nd current mirror circuit 17. Thus, since the current $2I_B$ is absorbed, both the currents flowing through the input terminal 13 and an output terminal 14 become I_o .

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3349334号

(P3349334)

(45) 発行日 平成14年11月25日 (2002. 11. 25)

(24) 登録日 平成14年9月13日 (2002. 9. 13)

(51) Int.Cl.⁷

H 0 3 F 3/45

識別記号

F I

H 0 3 F 3/45

A

請求項の数 1 (全 3 頁)

(21) 出願番号 特願平8-68384

(22) 出願日 平成8年3月25日 (1996. 3. 25)

(65) 公開番号 特開平9-260971

(43) 公開日 平成9年10月3日 (1997. 10. 3)

審査請求日 平成11年4月21日 (1999. 4. 21)

(73) 特許権者 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 塚越 孝

大阪府守口市京阪本通2丁目5番5号

三洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

審査官 板橋 通孝

(56) 参考文献 特開 平5-102746 (J P, A)

特開 平4-35294 (J P, A)

実開 平7-20719 (J P, U)

(58) 調査した分野 (Int.Cl.⁷, D B 名)

H03F 3/45

(54) 【発明の名称】 差動増幅器

1

(57) 【特許請求の範囲】

【請求項1】 エミッタが共通接続されて第1定電流源に接続されるとともにベース間に印加される入力信号を増幅してコレクタに出力する第1及び第2トランジスタと、

入力端子が前記第1トランジスタのコレクタに、出力端子が前記第2トランジスタのコレクタに接続され前記第1及び第2トランジスタの負荷となる第1電流ミラー回路と、

前記第1定電流源と電流ミラー関係に接続され前記第1定電流源に流れる電流の1/2の電流を流す第3トランジスタと、

該第3トランジスタからの電流がコレクタエミッタ路に流れそのベース電流が前記第1電流ミラー回路を構成する2つのトランジスタの個々のベース電流と等しい第4

2

トランジスタと、

入力端子が前記第4トランジスタのベースに、出力端子が前記第1トランジスタのコレクタに接続され前記入力端子と前記出力端子との間の電流比が1対2であり前記第1電流ミラー回路を構成する2つのトランジスタのベース電流を吸入する第2電流ミラー回路とを備えることを特徴とする差動増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電流ミラー回路を負荷とする差動増幅器に関するもので、特に差動増幅器を構成する第1及び第2トランジスタのコレクタ電流が等しくなるようにする差動増幅器に関する。

【0002】

【従来の技術】 電流ミラー回路は、電流ミラー回路を構

3

成するトランジスタのベース電流が起因して、入力端子と出力端子に流れる電流に誤差が生じてしまう。通常は、 $2IB$ (IB はトランジスタのベース電流) となる。そのような電流ミラー回路を負荷とする差動増幅器では、オフセット電流が発生してしまう。そこで、そのようなオフセット電流を低減させた差動増幅器として図3の回路が知られている。

【0003】図3のトランジスタ(1)のコレクタ電流を I_{c1} 、トランジスタ(2)のコレクタ電流を I_{c2} 、電流ミラー回路(3)を構成するトランジスタ(4)

(5)のベース電流を IB とすると、出力端子(6)に発生するオフセット電流 $IB0$ は、 $I_{c1} - I_{c2} = IB0 = 2IB/hfe$ (但し、 hfe はトランジスタの電流増幅率) となる。これは、低減させていない場合の電流 $2IB$ に比べて大幅に低減されている。

【0004】しかしながら、図3の回路ではトランジスタ(7)が必須となるので、トランジスタ(1)のコレクタ電圧を $V_{cc} - 2V_{BE}$ (但し、 V_{cc} は電源電圧、 V_{BE} はトランジスタの立ち上がり電圧) より高くすることができない。すると、トランジスタ(1)のベース電圧を $V_{cc} - V_{BE} - V_{CE}$ (但し、 V_{CE} はトランジスタのコレクタエミッタ間飽和電圧) より上げることができなくなり入力信号のダイナミックレンジが狭くなってしまうという問題がある。

【0005】そこで、図4のような回路が考えられる。

図4ではトランジスタ(4)(5)のベース間に抵抗(8)を設けている。該抵抗(8)には、トランジスタ(4)のベース電流 IB が流れ電圧降下が生ずる。この電圧降下によりトランジスタ(4)のベース・エミッタ間電圧がトランジスタ(4)のベース・エミッタ間電圧より小さくなる。すると、トランジスタ(1)のコレクタ電流 I_{c1} がトランジスタ(2)のコレクタ電流 I_{c2} より僅かに小さくなる。

【0006】従って、図3の回路によれば、抵抗(8)の値を調整することによりオフセット電流を低減できるとともに入力信号のダイナミックレンジが広い、という利点を有する。

【0007】

【発明が解決しようとする課題】しかしながら、図4の回路をIC化した際にトランジスタの hfe や抵抗

(8)の値が変動すると、その影響を受けてトランジスタ(4)(5)のコレクタ電流が変動し、その結果としてトランジスタ(1)のコレクタ電流 I_{c1} とトランジスタ(2)のコレクタ電流 I_{c2} の値が変動してしまう、という問題があった。

【0008】

【課題を解決するための手段】本発明は、上述の点に鑑みなされたもので、エミッタが共通接続されて第1定電流源に接続されるとともにベース間に印加される入力信号を増幅してコレクタに出力する第1及び第2トランジ

4

スタと、入力端子が前記第1トランジスタのコレクタに、出力端子が前記第2トランジスタのコレクタに接続され前記第1及び第2トランジスタの負荷となる第1電流ミラー回路と、前記第1定電流源と電流ミラー関係に接続され前記第1定電流源に流れる電流の1/2の電流を流す第3トランジスタと、該第3トランジスタからの電流がコレクタエミッタ路に流れそのベース電流が前記第1電流ミラー回路を構成する2つのトランジスタの個々のベース電流と等しい第4トランジスタと、入力端子が前記第4トランジスタのベースに、出力端子が前記第1トランジスタのコレクタに接続され前記入力端子と前記出力端子との間の電流比が1対2であり前記第1電流ミラー回路を構成する2つのトランジスタのベース電流を吸入する第2電流ミラー回路とを備える。

【0009】

【発明の実施の形態】図1は、本発明の差動増幅器を示すもので、(9)(10)はエミッタが共通接続されて第1定電流源(11)に接続された第1及び第2トランジスタ、(12)は入力端子(13)が前記第1トランジスタ(9)のコレクタに、出力端子(14)が前記第2トランジスタ(10)のコレクタに接続された第1電流ミラー回路、(15)は前記第1定電流源(11)と電流ミラー関係に接続された第3トランジスタ、(16)は第3トランジスタ(15)からの電流がコレクタエミッタ路に流れる第4トランジスタ、(17)は入力端子(18)が前記第4トランジスタ(16)のベースに、出力端子(19)が前記第1トランジスタ(9)のコレクタに接続され、入出力端子間の電流比が1対2に設定される第2電流ミラー回路である。

【0010】図1において、第1定電流源(11)を構成するトランジスタと、第2電流ミラー回路(17)を構成するトランジスタ(20)は、エミッタ面積が他のトランジスタのそれに比べて2倍となっている。その為、第3トランジスタ(15)のコレクタ電流を I_0 とすると、第1定電流源(11)にはその2倍の電流 $2I_0$ が流れようとする。すると、第1及び第2トランジスタ(9)(10)のコレクタ電流は、 I_0 になろうとする。

【0011】一方、第1電流ミラー回路(12)を構成するトランジスタ(21)(22)のベースに各々電流 IB が流れるとすると、入力端子(13)には電流 I_0 と電流 $2IB$ の和の電流が流れる。そこで、本発明では第2電流ミラー回路(17)により、電流 $2IB$ を吸入してしまう。それにより、入力端子(13)と出力端子(14)に流れる電流がともに等しく I_0 となるので、出力端子(6)には電流の入出がない。

【0012】次に第2電流ミラー回路(17)の動作について説明する。第3トランジスタ(15)のコレクタ電流 I_0 は、第4トランジスタ(16)のコレクタ・エミッタ路を流れる。すると、第4トランジスタ(16)

10

20

30

40

50

5

のベース電流は、第1電流ミラー回路(12)を構成するトランジスタ(21)(22)のベース電流 I_B と等しくなる。ベース電流 I_B は、第2電流ミラー回路(17)の入力端子(18)に流れ、その2倍の電流 $2I_B$ が出力端子(19)に流れる。

【0013】従って、第2電流ミラー回路(17)により、電流 $2I_B$ を吸入できる。図1の第1トランジスタ(9)は、そのコレクタ電圧が $V_{CC}-V_{BE}$ あれば十分に動作するので、入力信号のダイナミックレンジを広くできる。又、第3トランジスタ(15)と、第1定電流源(11)は電流ミラー関係に接続されるのでトランジスタの h_{fe} や抵抗の抵抗値が変動しても、電流 $2I_B$ の補償関係は乱れることがない。

【0014】図2は、図1の第1及び第2トランジスタ(9)(10)をPNPトランジスタで構成した場合を示す。図2の動作は、図1の動作と基本的に同一であるので説明を省略する。

【0015】

【発明の効果】以上述べた如く、本発明によれば、差動増幅器を構成する第1及び第2トランジスタのコレクタ 20

6

電流が等しくなる差動増幅器を提供できる。特に、本発明によれば、入力信号のダイナミックレンジを広くできるという利点を有する。

【0016】更に、本発明によれば、IC化した際にトランジスタの h_{fe} や抵抗の値が変動しても、その影響を受けずにオフセットを防止できる、という利点を有する。

【図面の簡単な説明】

【図1】本発明の差動増幅器を示す回路図である。

【図2】本発明の別の差動増幅器を示す回路図である。

【図3】従来の差動増幅器説明を説明するための回路図である。

【図4】従来の差動増幅器説明を説明するための回路図である。

【符号の説明】

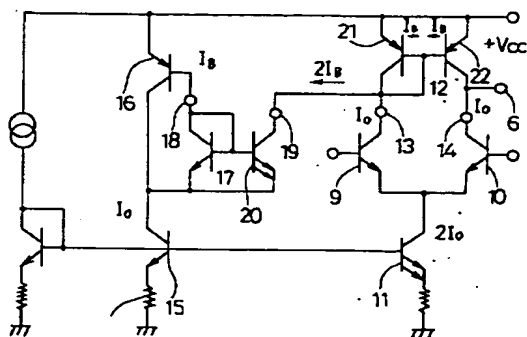
(9) 第1トランジスタ

(10) 第2トランジスタ

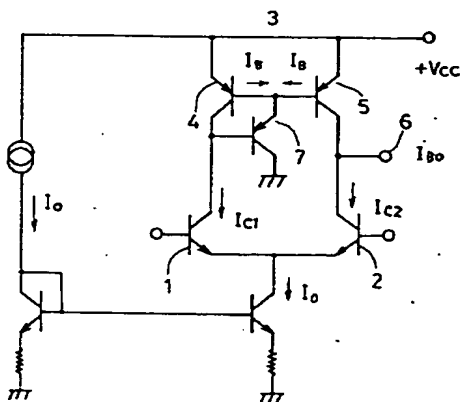
(12) 第1電流ミラー回路

(17) 第2電流ミラー回路

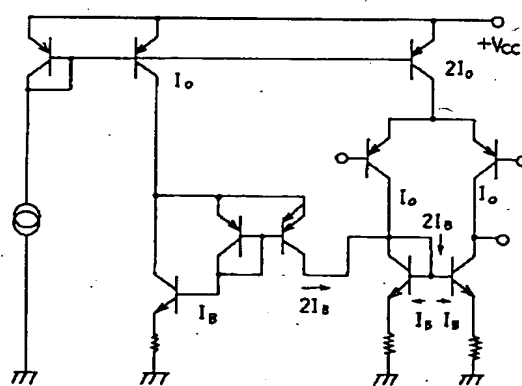
【図1】



【図3】



【図2】



【図4】

